

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年8月28日 (28.08.2003)

PCT

(10) 国際公開番号
WO 03/071553 A1

(51) 国際特許分類⁷: G11C 17/14, H01L 27/10

(21) 国際出願番号: PCT/JP02/01466

(22) 国際出願日: 2002年2月20日 (20.02.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP). 株式会社日立超エル・エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 宮崎 晋也 (MIYAZAKI, Shinya) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP). 加藤 圭

(KATOH, Kei) [JP/JP]; 〒187-8588 東京都小平市上水本町5丁目20番1号 株式会社日立製作所 半導体グループ内 Tokyo (JP). 山内 宏道 (YAMAUCHI, Koudoh) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP).

(74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒101-0052 東京都千代田区神田小川町2丁目10番地 新山城ビル42号 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

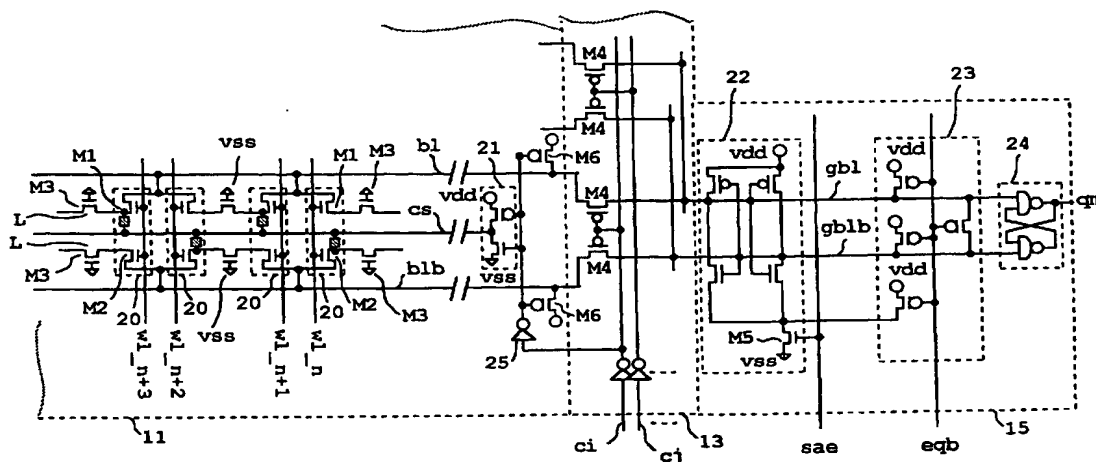
添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



(57) Abstract: A semiconductor integrated circuit having a nonvolatile memory and a logic circuit for carrying out a logical operation by using information stored in the nonvolatile memory on one semiconductor substrate. The nonvolatile memory has bit lines (bl, blb), a word line (wl_n), and a memory cell (20). The memory cell has MOS transistors (M1, M2) the gate electrodes of which is connected to the word line. Information is stored depending on the state in which one of the source and drain electrodes of one of the MOS transistor is connected to a source line (cs) or is in a floating state. The potential difference between the source and drain electrodes of the MOS transistor constituting a memory cell is kept zero for a period other than a predetermined period while the memory cell is accessed. As a result no sub-threshold leak current flows through the memory cell during the standby period. For the predetermined period while the memory cell is accessed, a potential difference between the source and drain electrodes is set up, and therefore the potential at the bit line can be varied by selection of a word line.

[続葉有]



(57) 要約:

半導体集積回路は、不揮発性メモリと前記不揮発性メモリの記憶情報を利用して論理演算処理を行なうロジック回路とを1個の半導体基板に有する。不揮発性メモリは、ビット線(b1, b1b)、ワード線(w1_n)、及びメモリセル(20)を有する。メモリセルは、ゲート電極がワード線に接続されたMOSトランジスタ(M1, M2)を有し、前記MOSトランジスタの一方のソース・ドレイン電極がソース線(cs)に接続された状態又はフローティングにされた状態に応じて情報記憶が行われている。前記メモリセルに対するアクセス動作の所定期間以外ではメモリセルを構成する前記MOSトランジスタのソース・ドレイン電極間の電位差をゼロとするから、スタンバイ時にメモリセルにはサブスレッショルドリーク電流が流れない。アクセス動作の所定期間では前記MOSトランジスタのソース・ドレイン電極間に電位差を形成するから、ワード線選択によるビット線電位の変化が可能になる。

明 細 書

半導体集積回路

5 技術分野

本発明は、不揮発性メモリを有する半導体集積回路、特にその不揮発性メモリの高速化と低消費電力化のための改良に関し、例えばマイクロコンピュータもしくはシステム L S I 等に適用して有効な技術に関する。

10

背景技術

特開平 1 - 1 0 0 7 9 7 号、特開平 2 - 1 4 4 9 5 号、特開平 1 0 - 3 2 0 9 9 3 号の各公報にはビット線間に 2 トランジスタ構成のメモリセルを設け、相補出力を相補ビット線に読み出す R O M (Read Only Memory) について記載される。

15

特開平 1 0 - 6 4 2 9 2 号公報には初期状態 (スタンバイ状態) でビット線対を回路の接地電圧とする R O M について記載される。特開平 1 1 - 1 6 3 8 4 号公報にはメモリセルトランジスタのソース電極を回路の接地電圧に接続し、メモリセルトランジスタのビット線にプルダウン回路を設けたマスク R O M が記載される。

20

特開平 7 - 7 8 4 8 9 号公報にはメモリセルトランジスタとのコンタクト (R O M の目) をソース線との間で形成するマスク R O M について記載される。

特開 2 0 0 0 - 0 1 2 7 0 7 公報には、記憶素子間のデータを隔離する為に記憶素子のドレイン間の (フィールド酸化膜) 領域に、ゲート電極に記憶素子のソース電位 (回路の接地電圧) を受ける M O S 型半導体

25

素子で構成して、記憶素子の高密度化を図ったROMについて記載がある。

本発明者は、ROMと前記ROMの記憶情報を利用するCPUなどのロジック回路などを備えたマイクロコンピュータ又はシステムLSIなどの半導体集積回路の性能について検討した。これによれば、上記半導体集積回路の動作性能を向上させるには、CPUの動作速度に見合うアクセス速度をROMに実現し、また、半導体集積回路全体で消費できる電力の多くをロジック回路に割当てられるようにROMを低消費電力化する、ということの有用性について見出した。また、ロジック回路の高速化と高集積化により動作電圧が低電圧化される傾向に有り、これに伴って、オンチップROMもロジック回路と同じ低電圧電源で動作させることがコスト面等から要求される。動作電源の低電圧化によりサブスレッショルドリーク電流による無駄な電力消費の増大が問題になる。そればかりではなく、メモリアクセス時に非選択の多くのメモリセルに流れるサブスレッショルドリーク電流とアクセス選択とされるメモリセルに流れる電流との区別が困難になる虞があり、メモリ動作、さらにはそれを利用するデータ処理動作の信頼性も失われてしまう。

本発明の目的は、オンチップの不揮発性メモリの動作電源が低電圧化されても、不揮発性メモリに対する読み出し動作の安定化、高速化、低消費電力を実現できる半導体集積回路を提供することにある。

本発明の別の目的は、オンチップのロジック回路と共にオンチップの不揮発性メモリの動作電源が低電圧化されても、ロジック回路の動作速度に見合うアクセス速度をROMに実現することができ、また、半導体集積回路全体で消費できる電力の多くをロジック回路に割当てられるようにROMを低消費電力化することができる半導体集積回路を提供することにある。

本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

発明の開示

- 5 〔１〕《サブスレッショルドリーク電流低減》本発明による半導体集積回路は、不揮発性メモリと前記不揮発性メモリの記憶情報を利用して論理演算処理を行なうロジック回路とを１個の半導体基板に有する。前記不揮発性メモリは、ビット線、ワード線、及びメモリセルを有する。前記メモリセルは、ゲート電極がワード線に接続されたＭＯＳトランジスタを有し、前記ＭＯＳトランジスタの一方のソース・ドレイン電極が電流経路に接続された状態又はフローティングにされた状態に応じて情報記憶が行われている。前記メモリセルに対するアクセス動作の所定期間で前記ＭＯＳトランジスタのソース・ドレイン電極間に電位差を形成し、前記所定期間以外では前記ＭＯＳトランジスタのソース・ドレイン電極間の電位差をゼロとする制御回路を有する。前記メモリセルに対するアクセス動作の所定期間以外ではメモリセルを構成する前記ＭＯＳトランジスタのソース・ドレイン電極間の電位差をゼロとするから、このときメモリセルにはサブスレッショルドリーク電流が流れない。アクセス動作の所定期間では前記ＭＯＳトランジスタのソース・ドレイン電極間に電位差を形成して、ワード線選択によるビット線電位の変化が可能になる。結果として、スタンバイ時にメモリアレイで消費される無駄な電力を低減でき、半導体集積回路の低消費電力に寄与する。
- 10
- 15
- 20

- 尚、本明細書においてＭＯＳトランジスタとは絶縁ゲート型の電界効果トランジスタを総称する。この種のトランジスタにおいてソース電極とドレイン電極はそこに印加される電圧の高低によって決まる相対的な概念であり、夫々を総称する場合にはソース・ドレイン電極と記す。
- 25

望ましい一つの態様として、前記MOSトランジスタのソース・ドレイン電極間に電位差を形成するタイミングを、ワード線選択タイミングと同時又はそれ以降とする。前記MOSトランジスタのソース・ドレイン電極間に電位差を形成すると、全てのメモリセルでMOSトランジスタにサブスレッショルド電流が流れようとする。この場合に、前記電位差形成タイミングをワード線選択タイミングと同時又はそれ以降とすれば、電位差形成によって流れるサブスレッショルドリーク電流と選択メモリセルに流れる電流との差が比較的大きくなり、アクセス非選択の多数のメモリセルに流れるサブスレッショルドリーク電流とアクセス選択メモリセルに流れる情報電流との区別が困難になる虞を未然に防止することができる。このことが、半導体集積回路における不揮発性メモリのメモリ動作、さらにはそれを利用するロジック回路によるデータ処理動作の信頼性を保証する。

前記不揮発性メモリとロジック回路は、例えば共通の電源電圧を動作電源電圧とする。ロジック回路の高速化と素子の微細化により動作電源電圧が低電圧化されるとき、オンチップ不揮発性メモリもロジック回路と同じ低電圧電源で動作させることが要求される。これを考慮したとき、上記より、低電圧電源によって不揮発性メモリで顕在化されるサブスレッショルドリークによる無駄な電力消費が低減されるので、半導体集積回路全体で消費できる電力の多くをロジック回路に割当てることが可能になる。ロジック回路で消費可能な電力量という観点においてロジック回路の処理能力を向上させることが可能になる。例えば本発明に係る半導体集積回路を電池電源を用いるデータ処理システムに適用するような場合に効果的である。

《ビット線負荷の均一化》本発明の望ましい別の態様では、上記手段に加えて、前記電流経路への接続状態又はフローティング状態を、ビット

線と反対側の一方のソース・ドレイン電極が所定の信号線に接続することの有無により決定する構造を採用してもよい。これにより、どのメモリセルのMOSトランジスタもビット線に対しては接続状態にされる。これにより、ビット線から見える負荷（ビット線負荷）を各ビット線間で均一化するのに役立つ。これは、読み出し動作の安定化と高速化に役立つ。

《ダミーMOS分離構造》本発明の望ましい別の態様では、上記手段に加えて、前記ビット線に沿って配置される複数のメモリセルの夫々に含まれるMOSトランジスタを共通ウェルに形成し、オフ電位がゲート電極に与えられるダミーMOSトランジスタで前記MOSトランジスタ間の共通ドレイン等を電気的に分離する構造を採用してもよい。メモリセルのMOSトランジスタ間を電気的に分離するのに、拡散層のような半導体領域を分離させる構造を採用する場合にはメモリセル間に分離領域を確保しなければならず、その分チップ占有面積が増えてしまう。

更に分離領域を情報記憶MOSトランジスタの複数個置きに配置することになる場合には、複数の情報記憶MOSトランジスタの配列に対してワード線ピッチが同一にならない。最小配線ピッチが光の波長よりも短くされるときマスクパターンの作製に位相シフト技術を利用するが、この場合には、パターンに規則性を持たせることがパターン形状の均一化に役立つ。これを考慮すると、情報記憶MOSトランジスタのゲート電極のレイアウトピッチが不規則であればそのパターン形状を均一化し難く、素子の微細化即ちパターンの微細化を阻む結果となる。上記手段では、情報記憶を行なうMOSトランジスタのゲート電極とダミーMOSトランジスタのゲート電極を規則的にレイアウトすることが可能であるから、そのパターン形状の均一化に役立つ。

《相補ビット線構造》本発明の望ましい別の態様では、上記手段に加え

て、1個のメモリセルに2個のMOSトランジスタを用意し、2個のMOSトランジスタの夫々の他方のソース・ドレイン電極を相補ビット線を成す別々のビット線に接続し、ゲート電極を共通のワード線に接続する、メモリセル構造を採用してもよい。読み出し系に相補ビット線構造を採用することにより、低電圧動作により信号振幅が小さくなっても、
5 差動増幅などによって記憶情報の読み出し及びその論理値判定を安定化させ、また、高速化することが可能である。差動増幅には、例えば前記相補ビット線の電位差を増幅するアンプを利用すればよい。

〔2〕《相補ビット線構造とビット線負荷の均一化》前記相補ビット線構造とビット線負荷の均一化の観点による本発明の半導体集積回路は、
10 不揮発性メモリと前記不揮発性メモリの記憶情報を利用して論理演算処理を行なうロジック回路とを1個の半導体基板に有する。前記不揮発性メモリは、メモリセル、ワード線、相補ビット線、及び前記相補ビット線に接続する差動アンプを有する。前記メモリセルはゲート電極が
15 夫々同じワード線に接続された一对のMOSトランジスタを有し、夫々のMOSトランジスタの一方のソース・ドレイン電極は相補ビット線の対応するビット線に別々に接続され、一方のMOSトランジスタの他方のソース・ドレイン電極は所定の電圧が与えられる電圧信号線に接続され、他方のMOSトランジスタの他方のソース・ドレイン電極はフロー
20 ティング状態にされる。

前記不揮発性メモリとロジック回路は共通の電源電圧を動作電源電圧とするものであってよい。

〔3〕《相補ビット線構造とサブスレッショルドリーク低減》相補ビット線構造とサブスレッショルドリーク低減の観点による本発明の半導体集積回路は、不揮発性メモリと前記不揮発性メモリの記憶情報を利用して論理演算処理を行なうロジック回路とを1個の半導体基板に有す
25

る。前記不揮発性メモリは、メモリセル、ワード線、相補ビット線、及び前記相補ビット線に接続する差動アンプを有する。前記メモリセルはゲート電極が夫々同じワード線に接続された一対のMOSトランジスタを有し、一方のMOSトランジスタのソース・ドレイン電極はビット線と所定の電圧が与えられる電圧信号線に接続され、他方のMOSトランジスタのソース・ドレイン電極はビット線又は前記電圧信号線に対してフローティング状態にされる。前記電圧信号線には、前記メモリセルに対するアクセス動作の所定期間で前記ビット線との間に電位差を形成する電圧が印加され、前記所定期間以外では前記ビット線との間の電位差をゼロとする電圧が印加される。

本発明の望ましい一つの態様として、前記不揮発性メモリとロジック回路は共通の電源電圧を動作電源電圧とするものであってよい。

本発明の望ましい別の態様では、前記アクセス動作の所定期間以外において前記電圧信号線及び相補ビット線が電源電圧にされ、前記所定期間において前記電圧信号線が回路の接地電圧にディスチャージされるようにしてよい。これとは逆に、所定期間以外において前記電圧信号線及び相補ビット線をディスチャージし、前記所定期間にビット線を電源電圧にチャージしてもよいが、動作可能になるまでのビット線充電に比較的内外時間を要することになる。

本発明の望ましい別の態様では、前記所定期間において前記電圧信号を回路の接地電圧にディスチャージするタイミングはワード線によるメモリセルの選択タイミングと同時又はそれよりも遅いのがよい。

〔４〕《相補ビット線構造とダミーMOS分離構造》相補ビット線構造とダミーMOS分離構造の観点による本発明の半導体集積回路は、不揮発性メモリと前記不揮発性メモリの記憶情報を利用して論理演算処理を行なうロジック回路とを１個の半導体基板に有する。前記不揮発性メ

メモリとロジック回路は共通の電源電圧を動作電源電圧とする。前記不揮
発性メモリは、メモリセル、ワード線、相補ビット線、及び前記相補ビ
ット線に接続する差動アンプを有する。前記メモリセルはゲート電極が
夫々同じワード線に接続された一対のMOSトランジスタを有し、一方
5 のMOSトランジスタのソース・ドレイン電極はビット線と所定の電圧
が与えられる電圧信号線に接続され、他方のMOSトランジスタのソー
ス・ドレイン電極はビット線又は前記電圧信号線に対してフローティン
グ状態にされる。前記ビット線に沿って配置される複数のメモリセルの
夫々に含まれる前記MOSトランジスタは共通ウェルに形成され、それ
10 らMOSトランジスタはオフ電位がゲート電極に与えられるダミーM
OSトランジスタで電氣的に分離される。

〔5〕《ビット線負荷均一化とダミーMOS分離構造》ビット線負荷均
一化とダミーMOS分離構造の観点による本発明の半導体集積回路は、
不揮発性メモリと前記不揮発性メモリの記憶情報を利用して論理演算
15 処理を行なうロジック回路とを1個の半導体基板に有する。前記不揮発
性メモリとロジック回路は共通の電源電圧を動作電源電圧とする。前記
不揮発性メモリは、ビット線、ワード線、及びメモリセルを有する。前
記メモリセルはゲート電極がワード線に接続されたMOSトランジス
タを有し、前記MOSトランジスタの一方のソース・ドレイン電極が電
20 流経路に接続された状態又はフローティングにされた状態に応じて情
報記憶が行われている。前記電流経路への接続状態又はフローティング
状態は、ビット線と反対側の一方のソース・ドレイン電極が所定の信号
線に接続することの有無により決定される。前記ビット線に沿って配置
される複数のメモリセルの夫々に含まれるMOSトランジスタは、共通
25 ウェルに形成され、オフ電位がゲート電極に与えられるダミーMOSト
ランジスタで電氣的に分離される。

〔6〕《相補ビット線構造とビット線負荷の均一化》相補ビット線構造とビット線負荷均一化の観点による本発明の更に別の半導体集積回路は不揮発性メモリを有し、この前記不揮発性メモリは、相補ビット線と、ワード線と、前記相補ビット線と前記ワード線に接続されたメモリセルと、前記相補ビット線に接続された差動アンプと、を含む。前記メモリセルは、前記相補ビット線のうちの一方のビット線に接続された一方のソース・ドレイン電極と前記ワード線に接続されたゲート電極とを有する第1 MOS トランジスタと、前記相補ビット線のうちの他方のビット線に接続された一方のソース・ドレイン電極と前記ワード線に接続されたゲート電極とを有する第2 MOS トランジスタとを含む。前記第1 MOS トランジスタの他方のソース・ドレイン電極は所定の電圧が与えられる電圧信号線に接続される。前記第2 MOS トランジスタの他方のソース・ドレイン電極はフローティング状態にされる。

〔7〕《相補ビット線構造とサブスレッショルドリーク低減》相補ビット線構造とサブスレッショルドリーク低減の観点による本発明の更に別の半導体集積回路は不揮発性メモリを有し、前記不揮発性メモリは、相補ビット線と、ワード線と、前記相補ビット線と前記ワード線に接続されたメモリセルと、前記相補ビット線に接続された差動アンプと、を含む。前記メモリセルは、前記相補ビット線のうちの一方のビット線に接続された一方のソース・ドレイン電極と前記ワード線に接続されたゲート電極とを有する第1 MOS トランジスタと、前記相補ビット線のうちの他方のビット線に接続された一方のソース・ドレイン電極と前記ワード線に接続されたゲート電極とを有する第2 MOS トランジスタとを含む。前記第1 MOS トランジスタの他方のソース・ドレイン電極は所定の電圧が与えられる電圧信号線に接続される。前記電圧信号線には、メモリセルのアクセス動作の所定期間以外において一方のソース・ドレ

イン電極との間の電位差をゼロにするための電圧が印加される。

〔８〕《相補ビット線構造とダミーＭＯＳ分離構造》相補ビット線構造とダミーＭＯＳ分離構造の観点による本発明の更に別の半導体集積回路は不揮発性メモリを有し、前記不揮発性メモリは、相補ビット線と、

5 ワード線と、前記相補ビット線と前記ワード線に接続されたメモリセルと、前記相補ビット線に接続された差動アンプと、を含む。前記メモリセルは、前記相補ビット線のうちの一方のビット線に接続された一方のソース・ドレイン電極と前記ワード線に接続されたゲート電極とを有する第１ＭＯＳトランジスタと、前記相補ビット線のうちの他方のビット線に接続された一方のソース・ドレイン電極と前記ワード線に接続されたゲート電極とを有する第２ＭＯＳトランジスタとを含む。個々のメモリセルにおいて前記第１ＭＯＳトランジスタ又は第２ＭＯＳトランジスタの何れか一方のトランジスタの他方のソース・ドレイン電極は所定の電圧が与えられる電圧信号線に接続される。ビット線を共有して隣接

10 する第１ＭＯＳトランジスタの夫々の他方のソース・ドレイン電極の間に第３トランジスタが形成され、第３トランジスタはオフ状態に制御される。第３トランジスタがダミーＭＯＳトランジスタを構成する。

15

図面の簡単な説明

20 第１図は本発明に係る半導体集積回路が保有するＲＯＭの要部を例示する回路図である。

第２図は本発明に係る半導体集積回路を例示するブロック図である。

第３図はＲＯＭの全体的な構成を例示するブロック図である。

第４図はＲＯＭの読み出し動作タイミングを例示するタイミングチャートである。

25

第５図はメモリセルのデータ読み出し電流（ I_{read} ）とリーク電

流 (I_{lk}) の関係を示す説明図である。

第 6 図は読み出し時に選択されたメモリセルと非選択のメモリセルの等価回路を例示する説明図である。

5 第 7 図は読み出し電流 I_{read} とオフリーク電流 I_{lk} の特性における V_{cs} ノード電圧と電流の関係を示す特性図である。

第 8 図はワード線選択タイミングに対するCOMMONソース線のディスチャージタイミングを例示するタイミングチャートである。

第 9 図はポリシリコン配線層に着目したメモリセルの平面レイアウト図である。

10 第 10 図は金属配線層に着目したメモリセルの平面レイアウト図である。

第 11 図は第 9 図及び第 10 図の平面レイアウトに対応されるメモリセルの回路接続を示す回路図である。

15 第 12 図は本発明に係る半導体集積回路を適用したデータ処理システムを例示するブロック図である。

第 13 図は本発明に係る半導体集積回路が保有するROMの別の例を要部で示す回路図である。

発明を実施するための最良の形態

20 第 2 図には本発明に係る半導体集積回路が例示される。同図に示される半導体集積回路 1 はマイクロコンピュータ又はシステムLSIとして構成される。半導体集積回路 1 は、特に制限されないが、1 個の半導体チップに、中央処理装置 (CPU) 2、RAM 3、ROM 4、バスコントローラ (BSC) 5 及び周辺回路 6 が例えば公知のCMOS集積回路製造技術により形成される。CPU 2 は命令をフェッチし、フェッチした命令を解読して、演算制御処理を行なう。RAM 3 はCPU 2 の演

25

算制御処理に際してワーク領域もしくはデータ一時記憶領域などに利用される。ROM 4はCPU 2の動作プログラムやパラメータデータなどを保有し、その記憶情報はCPU 2又は周辺回路6などで利用される。周辺回路6は、A/Dコンバータ、D/Aコンバータ、タイマ・カウンタ、入出力ポート回路、ディジタルシグナルプロセッサ(DSP)やECC回路などに代表されるCPU 2のアクセラレータ、及びその他のカスタムロジック回路などを含んでいる。バスコントローラ5はCPU 2のデータフェッチや命令フェッチに必要な外部バスアクセス制御などを行なう。

ここで、半導体集積回路の動作電源はCPU 2、RAM 3、ROM 4、BCS 5の間で同一とされ、例えば1.2Vの動作電源電圧を持つ。周辺回路もそれと同一の動作電源で動作されても良いが、フラッシュメモリなどのように特定の動作に高電圧を必要とする回路モジュールが含まれる場合には、そのような高圧動作電源を要する回路モジュールには外部からの高電圧或は内部昇圧した高電圧を動作電源として供給すればよい。CPU 2もROM 4も同じ低電圧電源で動作され、CPU 2がクロック信号に同期して高速動作されるとき、後述するように、ROM 4もそれに見合う高速動作が可能にされる。更に、ROM 4は、低電圧電源故にメモリセルから読み出される記憶情報の信号振幅は小さいが、読み出し動作は安定化され、消費電力も小さくされ、CPU 2のデータ処理能力の向上に資する構成を備えている。以下、ROM 4についてその詳細を説明する。

第3図にはROM 4のブロックダイアグラムが例示される。ROM 4はメモリアレイ11、ロウデコーダ12、カラムスイッチ回路13、カラムデコーダ14、センスアンプ部15、及びタイミングコントローラ16を有する。メモリアレイ11はマトリクス配置された複数のメモリ

セルなどを有する。メモリセルの選択端子はワード線に接続され、メモリセルのデータ端子はビット線に接続される。ロウデコーダ12はアドレスバスA B U Sから供給されるロウアドレス信号をデコードしてワード線選択信号を生成する。カラムデコーダ14はアドレスバスA B U Sから供給されるカラムアドレス信号をデコードしてカラム選択信号を生成する。カラムスイッチ回路13はカラム選択信号を入力してカラムアドレス信号が指定する相補ビット線を選択する。ワード線選択信号で選択されたメモリセルの記憶情報はカラム選択信号で選択された相補ビット線から相補グローバルバスビット線に伝達される。センスアンプ部15は相補グローバルビット線に伝達された読み出し情報を増幅して、データバスD B U Sに出力する。タイミングコントローラ16はコントロールバスC B U Sから供給されるメモリーネーブル信号、リード信号、ライト信号などを入力して、デコーダ12, 14及びセンスアンプ部15の活性化タイミング信号などの内部アクセスタイミング信号を生成する。前記アドレスバスA B U S、データバスD B U S及びコントロールバスC B U SはC P U 2などに接続する内部バスとされる。

第1図には前記R O M 4の要部が例示される。メモリアレイ11は横方向に複数組の相補ビット線b 1, b 1 bを有し、縦方向に複数のワード線w 1__n~w 1__n+3を有する。メモリセル20はゲート電極が対応するワード線に共通接続された第1M O SトランジスタM 1と第2M O SトランジスタM 2を有する。双方のM O SトランジスタM 1, M 2のドレイン電極は相補ビット線b 1, b 1 bに結合され、M O SトランジスタM 1又はM 2の何れか一方のソース電極がコモンソース線c sに、他方のM O Sトランジスタのソース電極がフローティングにされる。どちらのソース電極をコモンソース線c sに接続するかによって記憶情報の論理値が決まる。このようにビット線b 1, b 1 bとは反対

側のCOMMONソース線 c_s への接続の有無で情報記憶を行なう構成によれば、どのメモリセルのMOSトランジスタ M_1 , M_2 もビット線 b_1 , b_1b に対して接続状態にされる。したがって、ビット線から見える負荷（ビット線負荷）を各ビット線間で均一化するのに役立つ。これは、

5 読み出し動作の安定化と高速化に役立つ。

第1図の表記においてMOSトランジスタ M_1 , M_2 のソース・ドレインが接続するライン L は当該MOSトランジスタ M_1 , M_2 が形成される拡散領域のような不純物領域を意味している。この拡散層 L がコンタクトを介して相補ビット線 b_1 , b_1b に接続される様子を回路図的に示している。このような表記を行なうのは、横方向に隣接するMOSトランジスタ間を分離するダミーMOSトランジスタとしての分離MOSトランジスタ（単にダミーMOSトランジスタとも記す） M_3 を拡散層 L に形成する様子を回路図的に表す為である。その詳細は後述する。

10

前記COMMONソース線 c_s はCMOSインバータドライバ21を介して選択的にプリチャージとディスチャージが可能にされる。相補ビット線 b_1 , b_1b はプリチャージMOSトランジスタ M_6 を介して選択的にプリチャージ可能にされる。プリチャージの到達レベルは回路の電源電圧、ディスチャージの到達レベルは回路の接地電圧 V_{ss} である。前記プリチャージ及びディスチャージの制御は対応するカラム選択信号 c_i で行われる。カラム非選択状態（ c_i =ローレベル）でプリチャージMOSトランジスタ M_6 及びCMOSインバータドライバ21はプリチャージ動作を行ない、ビット線 b_1 , b_1b とCOMMONソース線 c_s の間の電位差をゼロとするように制御し、この間に多数のメモリセル20のMOSトランジスタ M_1 , M_2 にサブスレッショルドリーク電流が流れないようにする。カラム選択状態（ c_i =ハイレベル）ではプリチャージMOSトランジスタ M_6 はカットオフ、CMOSインバータドラ

15

20

25

イバ21はディスチャージ動作を行ない、ビット線b1, b1bとCOMMONソース線csの間に電位差を形成し、メモリセル20の情報記憶状態(MOSトランジスタM1, M2の何れがCOMMONソース線csに接続されているか)に応じてビット線b1又はb1bがディスチャージ可能にされる。

ビット線b1, b1bの電位状態はカラムスイッチ回路13を構成するMOSトランジスタM4を介して相補グローバルビット線gb1, gb1bに伝達される。グローバルビット線gb1, gb1bには差動センスアンプ22、プリチャージ及びイコライズ回路23、出力ラッチ回路24が接続される。差動センスアンプ22はパワースwitch MOSトランジスタM5によって動作電源が供給可能にされたCMOSスタティクラッチ回路によって構成される。saеは差動センスアンプ22の活性化制御信号である。差動センスアンプ22は相補ビット線b1, b1bから相補グローバルビット線gb1, gb1bに与えられる相補信号を差動増幅する。メモリセル20からの読み出し信号を差動増幅するから、信号振幅が小さくても安定で高速な読み出し動作を実現できる。プリチャージ及びイコライズ回路23は読み出し動作の開始前にグローバルビット線gb1, gb1b及び差動センスアンプ22を構成するnチャンネル型MOSトランジスタのCOMMONソース電極を、差動センスアンプ22の動作上望ましいレベル(この場合電源電圧vdd)にプリチャージする。epbはプリチャージ及びイコライズ回路23の動作制御信号である。前記出力ラッチ回路24は例えば2入力ナンドゲートを用いたスタティクラッチで構成され、差動センスアンプ23の出力を保持する。

第4図にはROM4の読み出し動作タイミングが例示される。クロック信号CLKはROM4のアクセスサイクルを規定する。クロック信号

C L KはC P U 2の動作基準クロック信号と同一又は数分の一の周波数を有する高速クロックである。w lはワード線を総称する。y e s < n : 0 >はc i , c jなどのカラム選択信号を総称する。アクセスサイクルはクロック信号C L Kの1周期で規定され、時刻t 1 ~ t iまでとされる。アクセスサイクルの最初にアドレス信号が有効(V)にされる。時刻t 2にカラム選択動作が開始され、時刻t 3にワード線選択動作が開始される。相補ビット線b l , b l b及びコモンソース線c sはワード線選択タイミングになるまで或はその直後まで電源電圧V d dにプリチャージされている。この間の、メモリセルのM O SトランジスタM 1 , M 2にはサブスレッショルドリーク電流は流れない。時刻t 2に同期して相補ビット線b l , b l bに対するプリチャージ動作が停止され、それより後れる時刻t 3以降にコモンソース線c sに対するディスチャージが開始される。ビット線プリチャージ動作の停止からコモンソース線c sディスチャージ動作を開始するまでの遅延時間は、特に制限されないが、図1の構成に従えば、インバータ2 5による動作遅延によって得られる。

ビット線プリチャージ動作が停止されコモンソース線c sがディスチャージされることにより、ワード線で選択されたメモリセルの情報記憶状態、即ちM O SトランジスタM 1 , M 2のどちらがコモンソース線c sに接続しているかに応じて、相補ビット線b l , b l bの何れか一方がディスチャージされる。時刻t 4で活性化される差動センスアンプ2 2がその変化を検出して、相補グローバルビット線g b l , g b l bを相補的に駆動する。この相補グローバルビット線g b l , g b l bに現れた相補信号が出力ラッチ回路2 4にラッチされて、読み出しデータq mが確定する。

カラム選択動作は差動センスアンプ2 2による増幅動作が確定した

以降の時刻 t_5 に終了する。これに同期して、再び相補ビット線 b_1 , b_1b 及びコモンソース線 c_s が電源電圧 V_{dd} にプリチャージされ、メモリセルを構成する MOS トランジスタ M_1 , M_2 にサブスレッショルドリーク電流が流れないようにされる。第 4 図の例では、ワード線選択タイミング (t_3) からカラム選択終了タイミング (t_5) までが、
5 相補ビット線 b_1 , b_1b のプリチャージ停止及びコモンソース線 c_s のディスチャージを行なうアクセス動作所定期間 T_{acs} とされる。この所定期間以外の期間 T_{stb} ではメモリセルを構成する MOS トランジスタ M_1 , M_2 にサブスレッショルドリーク電流が流れない。これ
10 により、スタンバイ電流の大半を占めるメモリアレイ部分でのサブスレッショルドリーク電流を大幅に削減することができる。

また、前記コモンソース線 c_s を所定期間 T_{acs} だけディスチャージするコモンソース制御の利点は、上記スタンバイ電流の削減以外に、低電圧動作時にも利点がある。即ち、低電圧動作仕様および微細プロセスでのデバイス性能は閾値電圧 (V_{th}) が低く、それによってオフリーク電流 (サブスレッショルドリーク電流) が大きい。その為 ROM のデータ読み出し時に非選択メモリセルによるオフリーク電流の影響を全く無視することはできないが、コモンソース制御方式によるコモンソース線 c_s のディスチャージタイミングをワード線選択と同時若しくはそれより後にすることで、非選択メモリセルによるオフリーク電流の影響を少なくすることができる。この点にいて第 5 図乃至第 8 図を参照しながら説明する。

第 5 図にはメモリセルのデータ読み出し電流 (I_{read}) とリーク電流 (I_{lk}) の関係が示される。選択されたワード線 ($w1_255$) のメモリセルを介して一方のビット線 (b_1) からコモンソース線 c_s に読み出し電流 I_{read} が流れ、非選択ワード線 ($w1_0 \sim w1_$

254) のメモリセルを介して他方のビット線 (b1b) からコモンソース線にリーク電流 I_{lk} が流れる。

低閾値電圧のMOSトランジスタでメモリセルを構成した場合を一例に、読み出し電流 I_{read} に対する非選択メモリによるオフリーク電流 I_{lk} の影響を説明する。低閾値電圧のMOSトランジスタは、例えばドレイン・ソース間電流が 10 nA 以下になるときの閾値電圧が例えば -130 mV のような負電圧になるMOSトランジスタである。このような低閾値電圧のMOSトランジスタによってメモリセルを構成した場合、読み出し動作中における非選択メモリセルによるオフリーク電流の影響は無視できないが、読み出し時に選択メモリセルのトランジスタ $M1$, $M2$ を $V_{gs} \geq 0$ 、非選択メモリセルのトランジスタ $M1$, $M2$ を $V_{gs} \leq 0$ の状態となるようにワード線、コモンソース線 cs の選択タイミングを設定することでオフリーク電流の影響を少なくすることができる。

第6図には読み出し時に選択されたメモリセルと非選択のメモリセルの等価回路が例示される。選択メモリセルにはワード線選択により v_g が印加され、非選択メモリセル (255個のメモリセル) のゲート電位は 0 V となる。この例では、電源電圧 v_{dd} は 1.2 V とされる。選択MOSトランジスタはゲート長が $0.1\text{ }\mu\text{m}$ 、ゲート幅が $0.32\text{ }\mu\text{m}$ 、閾値電圧は -130 mV とされる。非選択MOSトランジスタはゲート長が $0.1\text{ }\mu\text{m}$ 、ゲート幅が $0.32 \times 255\text{ }\mu\text{m}$ 、閾値電圧は -130 mV とされる。

第7図に読み出し電流 I_{read} とオフリーク電流 I_{lk} の特性における V_{cs} ノード電圧 (V_{ds}) 対電流 (I_{ds}) 特性を示す。 V_s はトランジスタのソース電圧である。読み出し時のビット線振幅は “ $I_{read} - I_{lk}$ ” に比例する為、読み出し電流 I_{read} とオフリーク

電流 I_{lk} との差が大きい程、動作マージンが大きくなる。第 7 図より $v_g = 1.2\text{ V}$ の時の動作マージンが最大となり、 $v_g = 0.3\text{ V}$ では I_{read} よりも I_{lk} の方が多くなり、この状態ではビット線振幅は得られず、読み出し動作は不可能になる。要するに、オフフリーク電流が流れる状態になる前にワード線電位を立ち上げておいた方がビット線振幅が大きくなる。

図 8 には図 7 の結果を考慮したときのワード線選タイミングに対するコモンソース線 c_s のディスチャージタイミングが例示される。

(A) はワード線選択タイミング (t_j) に対してコモンソース線 c_s のディスチャージタイミング (t_i) が早い場合を示し、(B) はその逆でワード線選択タイミング (t_j) に対してコモンソース線 c_s のディスチャージタイミング (t_k) を遅くした場合を示している。ビット線間の電位差は (B) の方が (A) に比べて大きく且つ早く変化する ($\beta_a < \beta_b$)。 (B) のようにコモンソース線 c_s のディスチャージタイミング (t_k) を遅くすることで、低閾値電圧の MOS トランジスタを使用した時でも、非選択メモリセルによるオフフリーク電流の影響が小さくなり、安定した読み出し動作を行なうことが可能になる。

第 9 図及び第 10 図にはメモリセルの平面レイアウトが例示される。第 9 図はポリシリコン配線から成るワード線に着目したレイアウトを示し、第 10 図は金属配線から成る相補ビット線及びコモンソース線に着目したレイアウトを示す。第 11 図には第 9 図及び第 10 図の平面レイアウトに対応されるメモリセルの回路接続を示す。第 9 図及び第 10 図のレイアウトパターンは X-X 軸に対して左右対称のパターンを有し、図示の 1 点鎖線で囲まれた領域を単位領域 P_{unt} とし、この領域 P_{unt} が繰り返し多数配置されてメモリアレイが形成される。第 9 図及び第 10 図の 1 点鎖線で囲まれた領域は第 11 図の 1 点鎖線で囲まれた領

域に対応される。

第 9 図において、L は MOS トランジスタのソース・ドレイン・チャンネルが形成される不純物領域としての拡散領域、F G は MOS トランジスタのゲート電極を構成するポリシリコン配線、M L は最下層の金属配線層であるタングステン層、M L C T はタングステン層 M L と拡散層 L とを接続するためのコンタクト、R M は拡散層 L とタングステン層 M L とを接続して所謂 R O M の目を形成するためのコンタクトである。図では R M が 4 個図示されているが、実際には MOS トランジスタ M 1 , M 2 のソースをコモンソース線 c s に接続する場合にだけ形成される。

第 9 図において G m 3 は分離 MOS トランジスタ M 3 を構成するポリシリコンゲート電極である。

第 10 図において M L は最下層の金属配線層であるタングステン層、M L C T はタングステン層 M L と拡散層 L とを接続するためのコンタクト、R M は拡散層 L とタングステン層 M L とを接続する所謂 R O M の目を形成するためのコンタクトである。M T 1 は第 1 層目のアルミニウム配線層(又は C u 配線層)、M T 2 は第 2 層目のアルミニウム配線層(又は C u 配線層)である。V 0 は前記タングステン層 M L を配線層 M 1 に接続するコンタクトであり、M O S トランジスタ M 1 , M 2 のドレインをビット線 b 1 b に、ソースをコモンソース線 c s に接続するために用いる。ワード線はポリシリコンゲート F G に第 2 層目アルミニウム配線層(又は C u 配線層) M T 2 が接続されて構成されるが、そのコンタクト部については図示が省略されている。

メモリセルを構成する MOS トランジスタ M 1 , M 2 はビット線に沿って多数配置され、それらは共通ウェルに形成される。このとき、メモリの単位領域 P u n t 同士で MOS トランジスタ M 1 と M 1 (M O S トランジスタ M 2 と M 2) が直接隣合う場合には拡散層をその部分で切

断して電氣的な分離を行なわなければならない。第9図で説明した構造では、そのような拡散層の分断を必要としない。即ち、オフ電位 (V_{ss}) がゲート電極 G_{m3} に与えられるダミーMOSトランジスタ $M3$ で前記MOSトランジスタ $M1$ と $M1$ の間及びMOSトランジスタ $M2$ と $M2$ の間を電氣的に分離する構造を採用する。メモリセルのMOSトランジスタ間を電氣的に分離するのに、拡散層のような半導体領域を分離する構造を採用する場合にはメモリセル間に分離領域を確保しなければならない、その分チップ占有面積が増えてしまう。更に分離領域を情報記憶MOSトランジスタ $M1$ ($M2$) の複数個置きに配置することになる場合には、複数の情報記憶MOSトランジスタ $M1$ ($M2$) の配列に対してワード線ピッチが同一にならない。最小配線ピッチが光の波長よりも短くされるときマスクパターンの作製に位相シフト技術を利用するが、この場合には、パターンに規則性を持たせることがパターン形状の均一化に役立つ。これを考慮すると、情報記憶MOSトランジスタ $M1$, $M2$ のゲート電極のレイアウトピッチが不規則であればそのパターン形状を均一化し難く、素子の微細化即ちパターンの微細化を阻む結果となる。ダミーMOSトランジスタ $M3$ を用いる構成では、情報記憶を行なうMOSトランジスタ $M1$ ($M2$) のゲート電極とダミーMOSトランジスタ $M3$ のゲート電極 G_{m3} とを構成するポリシリコン層 L_G を規則的にレイアウトすることが可能であるから、そのパターン形状の均一化に役立つ。

第12図は本発明に係る半導体集積回路を適用したデータ処理システムを例示するブロック図である。同図に示されるデータ処理システムは、特に制限されないが、携帯電話など移動体通信システムとされる。移動体通信システムは、アンテナ30、高周波部(RF)31、アナログフロントエンド部(AFE)32、操作部33及び前記半導体集積回

路 1 によって構成される。この例では半導体集積回路 1 は、移動体通信のためのプロトコル制御、送受信データに対する符号化復号処理、エラー訂正処理、アナログフロントエンド部 3 2 や操作部 3 3 との間のインタフェース制御などを行なう。移動体通信システムの動作電源はバッテリー電源 3 4 とされ、それ故に低消費電力の要請が強い。半導体集積回路 1 は前述の如く、オンチップの R O M 4 も C P U 2 などのロジック回路と同じ低電圧電源で動作され、このとき、低電圧電源によって R O M 4 で顕在化されるサブスレッショルドリークによる無駄な電力消費が低減されるので、半導体集積回路 1 全体で消費できる電力の多くを C P U 2 などのロジック回路に割当てることが可能になる。C P U 2 などのロジック回路で消費可能な電力量という観点において C P U などのロジック回路の処理能力を向上させることが可能になる。したがって、低消費電力の要請を満足しつつ高いデータ処理能力を実現することができる。

第 1 3 図には前記 R O M の別の例が示される。第 1 図との相違点は一つのメモリマットにおいて前記コモンソース線 c s を分割した点である。C M O S インバータドライバ 2 1 がコモンソース線 c s 毎に設けられ、夫々別々に駆動制御される。プリチャージとディスチャージの駆動タイミングは第 1 図の場合と同じである。ロウアドレス信号で選択されるワード線のメモリセルに対応するコモンソース線 c s をディスチャージ動作させるように、ロウアドレス信号の上位側数ビットのデコード結果を用いて複数の C M O S インバータドライバ 2 1 の動作を制御する。その制御信号として d c s 1 , d c s 2 が代表的に図示されている。この構成を採用すれば、一つのメモリマットを大きくして高速、高集積、大容量を企図しようとするとき、更に読み出し動作の高速化が可能になる。細かくマット分割すると、マット毎のカラム選択動作の段数が増え

て、高速化とは逆の結果をもたらすことになる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

- 5 例えば、差動アンプを用いない場合にはビット線は相補であることを要さず、メモリセルは1個のメモリセルトランジスタでよい。また、上記説明ではビット線を電源電圧、コモンソース線を接地電圧にして読み出しを行なう場合に限定されない。スタンバイ時にビット線及びコモン
- 10 ソース線を接地電圧とし、読み出し動作時にビット線を電源電圧にチャージする構成を採用してもよい。

ロジック回路はCPUに代表される第2図で説明の回路モジュールに限定されず、適宜変更可能である。

- また、上記説明では、メモリセル20に対するアクセス動作の所定期間T_{acs}でMOSトランジスタM1、M2のソース・ドレイン電極間
- 15 に電位差を形成し、前記所定期間以外の期間T_{stb}では前記MOSトランジスタM1、M2のソース・ドレイン電極間の電位差をゼロとする制御回路は、前記チャージ・ディスチャージドライバ21、遅延素子としてのインバータ25、C_i、C_jなどのカラム選択信号を生成するカラムデコーダ14、及びカラムデコーダ14によるカラムアドレスのデ
- 20 コード動作タイミングを決定するタイミングコントローラ16によって構成される。本発明はそれに限定されず、タイミングコントローラ16がワード線選択タイミングを考慮して直接コモンソース線をディスチャージするタイミング信号を生成し、この信号とカラム選択信号との論理積信号などによってチャージ・ディスチャージドライバ21による
- 25 ディスチャージタイミングを決定してもよい。

産業上の利用可能性

本発明は、不揮発性メモリを有する半導体集積回路、例えばマイクロコンピュータもしくはシステムLSIなどに広く適用することができる。

請 求 の 範 囲

1. 不揮発性メモリと前記不揮発性メモリの記憶情報を利用して論理演算処理を行なうロジック回路とを1個の半導体基板に有する半導体集積回路であって、

前記不揮発性メモリは、ビット線、ワード線、及びメモリセルを有し、

前記メモリセルはゲート電極がワード線に接続されたMOSトランジスタを有し、前記MOSトランジスタの一方のソース・ドレイン電極が電流経路に接続された状態又はフローティングにされた状態に応じて情報記憶が行われており、

前記メモリセルに対するアクセス動作の所定期間で前記MOSトランジスタのソース・ドレイン電極間に電位差を形成し、前記所定期間以外では前記MOSトランジスタのソース・ドレイン電極間の電位差をゼロとする制御回路を有することを特徴とする半導体集積回路。

2. 前記MOSトランジスタのソース・ドレイン電極間に電位差を形成するタイミングはワード線選択タイミングと同時又はそれ以降であることを特徴とする請求の範囲第1項記載の半導体集積回路。

3. 前記不揮発性メモリとロジック回路は共通の電源電圧を動作電源電圧とすることを特徴とする請求の範囲第1項記載の半導体集積回路。

4. 前記電流経路への接続状態又はフローティング状態は、ビット線と反対側の一方のソース・ドレイン電極が所定の信号線に接続することの有無により決定されることを特徴とする請求の範囲第1項記載の半導体集積回路。

5. 前記ビット線に沿って配置される複数のメモリセルの夫々に含まれるMOSトランジスタは、共通ウェルに形成され、オフ電位がゲート

電極に与えられるダミーMOSトランジスタで電氣的に分離されることを特徴とする請求の範囲第1項又は第4項記載の半導体集積回路。

5 6. 1個のメモリセルは2個のMOSトランジスタを有し、2個のMOSトランジスタの他方のソース・ドレイン電極は相補ビット線を成す別々のビット線に接続され、2個のMOSトランジスタのゲート電極は共通のワード線に接続されることを特徴とする請求の範囲第4項記載の半導体集積回路。

10 7. 1個のメモリセルは2個のMOSトランジスタを有し、2個のMOSトランジスタの他方のソース・ドレイン電極は相補ビット線を成す別々のビット線に接続され、2個のMOSトランジスタのゲート電極は共通のワード線に接続されることを特徴とする請求の範囲第5項記載の半導体集積回路。

15 8. 前記相補ビット線の電位差を増幅するアンプを有することを特徴とする請求の範囲第6項記載の半導体集積回路。

9. 前記相補ビット線の電位差を増幅するアンプを有することを特徴とする請求の範囲第7項記載の半導体集積回路。

20 10. 不揮発性メモリと前記不揮発性メモリの記憶情報を利用して論理演算処理を行なうロジック回路とを1個の半導体基板に有する半導体集積回路であって、

前記不揮発性メモリは、メモリセル、ワード線、相補ビット線、及び前記相補ビット線に接続する差動アンプを有し、

25 前記メモリセルはゲート電極が夫々同じワード線に接続された一対のMOSトランジスタを有し、夫々のMOSトランジスタの一方のソース・ドレイン電極は相補ビット線の対応するビット線に別々に接続され、一方のMOSトランジスタの他方のソース・ドレイン電極は

所定の電圧が与えられる電圧信号線に接続され、他方のMOSトランジスタの他方のソース・ドレイン電極はフローティング状態にされることを特徴とする半導体集積回路。

5 1 1 . 前記不揮発性メモリとロジック回路は共通の電源電圧を動作電源電圧とすることを特徴とする請求の範囲第 1 0 項記載の半導体集積回路。

1 2 . 不揮発性メモリと前記不揮発性メモリの記憶情報を利用して論理演算処理を行なうロジック回路とを 1 個の半導体基板に有する半導体集積回路であって、

10 前記不揮発性メモリは、メモリセル、ワード線、相補ビット線、及び前記相補ビット線に接続する差動アンプを有し、

前記メモリセルはゲート電極が夫々同じワード線に接続された一対のMOSトランジスタを有し、一方のMOSトランジスタのソース・ドレイン電極はビット線と所定の電圧が与えられる電圧信号線に
15 接続され、他方のMOSトランジスタのソース・ドレイン電極はビット線又は前記電圧信号線に対してフローティング状態にされ、

前記電圧信号線には、前記メモリセルに対するアクセス動作の所定期間で前記ビット線との間に電位差を形成する電圧が印加され、前記所定期間以外では前記ビット線との間の電位差をゼロとする電圧が
20 印加されることを特徴とする半導体集積回路。

1 3 . 前記不揮発性メモリとロジック回路は共通の電源電圧を動作電源電圧とすることを特徴とする請求の範囲第 1 2 項記載の半導体集積回路。

25 1 4 . 前記アクセス動作の所定期間以外において前記電圧信号線及び相補ビット線は電源電圧にされ、前記所定期間において前記電圧信号線は回路の接地電圧にディスチャージされることを特徴とする請求の

範囲第 1 2 項記載の半導体集積回路。

1 5 . 前記所定期間において前記電圧信号を回路の接地電圧にディスチャージするタイミングはワード線によるメモリセルの選択タイミングと同時又はそれよりも遅いことを特徴とする請求の範囲第 1 4 項記載の半導体集積回路。

1 6 . 不揮発性メモリと前記不揮発性メモリの記憶情報を利用して論理演算処理を行なうロジック回路とを 1 個の半導体基板に有する半導体集積回路であって、

前記不揮発性メモリとロジック回路は共通の電源電圧を動作電源電圧とし、

前記不揮発性メモリは、メモリセル、ワード線、相補ビット線、及び前記相補ビット線に接続する差動アンプを有し、

前記メモリセルはゲート電極が夫々同じワード線に接続された一対の MOS トランジスタを有し、一方の MOS トランジスタのソース・ドレイン電極はビット線と所定の電圧が与えられる電圧信号線に接続され、他方の MOS トランジスタのソース・ドレイン電極はビット線又は前記電圧信号線に対してフローティング状態にされ、

前記ビット線に沿って配置される複数のメモリセルの夫々に含まれる前記 MOS トランジスタは共通ウェルに形成され、それら MOS トランジスタはオフ電位がゲート電極に与えられるダミー MOS トランジスタで電氣的に分離されることを特徴とする半導体集積回路。

1 7 . 不揮発性メモリと前記不揮発性メモリの記憶情報を利用して論理演算処理を行なうロジック回路とを 1 個の半導体基板に有する半導体集積回路であって、

前記不揮発性メモリとロジック回路は共通の電源電圧を動作電源電圧とし、

前記不揮発性メモリは、ビット線、ワード線、及びメモリセルを有し、

5 前記メモリセルはゲート電極がワード線に接続されたMOSトランジスタを有し、前記MOSトランジスタの一方のソース・ドレイン電極が電流経路に接続された状態又はフローティングにされた状態に応じて情報記憶が行われており、

前記電流経路への接続状態又はフローティング状態は、ビット線と反対側の一方のソース・ドレイン電極が所定の信号線に接続することの有無により決定され、

10 前記ビット線に沿って配置される複数のメモリセルの夫々に含まれるMOSトランジスタは、共通ウェルに形成され、オフ電位がゲート電極に与えられるダミーMOSトランジスタで電氣的に分離されることを特徴とする半導体集積回路。

18. 不揮発性メモリを有する半導体集積回路であって、

15 前記不揮発性メモリは、相補ビット線と、ワード線と、前記相補ビット線と前記ワード線に接続されたメモリセルと、前記相補ビット線に接続された差動アンプと、を含み、

20 前記メモリセルは、前記相補ビット線のうちの一方のビット線に接続された一方のソース・ドレイン電極と前記ワード線に接続されたゲート電極とを有する第1MOSトランジスタと、前記相補ビット線のうちの他方のビット線に接続された一方のソース・ドレイン電極と前記ワード線に接続されたゲート電極とを有する第2MOSトランジスタとを含み、

25 前記第1MOSトランジスタの他方のソース・ドレイン電極は所定の電圧が与えられる電圧信号線に接続され、

前記第2MOSトランジスタの他方のソース・ドレイン電極はフロ

ーティング状態にされることを特徴とする半導体集積回路。

19. 不揮発性メモリを有する半導体集積回路であって、

前記不揮発性メモリは、相補ビット線と、ワード線と、前記相補ビット線と前記ワード線に接続されたメモリセルと、前記相補ビット線に接続された差動アンプと、を含み、

前記メモリセルは、前記相補ビット線のうちの一方のビット線に接続された一方のソース・ドレイン電極と前記ワード線に接続されたゲート電極とを有する第1 MOS トランジスタと、前記相補ビット線のうちの他方のビット線に接続された一方のソース・ドレイン電極と前記ワード線に接続されたゲート電極とを有する第2 MOS トランジスタとを含み、

前記第1 MOS トランジスタの他方のソース・ドレイン電極は所定の電圧が与えられる電圧信号線に接続され、

前記電圧信号線には、メモリセルのアクセス動作の所定期間以外において一方のソース・ドレイン電極との間の電位差をゼロにするための電圧が印加されることを特徴とする半導体集積回路。

20. 前記メモリセルのアクセス動作の所定期間以外において前記電圧信号線とビット線は電源電圧にされることを特徴とする請求の範囲第19項記載の半導体集積回路。

21. 前記メモリセルのアクセス動作の所定期間において前記電圧信号線は回路の接地電圧にディスチャージされることを特徴とする請求の範囲第19項記載の半導体集積回路。

22. 前記所定期間において前記電圧信号を回路の接地電圧にディスチャージするタイミングはワード線によるメモリセルの選択タイミングと同時又はそれよりも遅いことを特徴とする請求の範囲第21項記載の半導体集積回路。

23. 不揮発性メモリを有する半導体集積回路であって、

前記不揮発性メモリは、相補ビット線と、ワード線と、前記相補ビット線と前記ワード線に接続されたメモリセルと、前記相補ビット線に接続された差動アンプと、を含み、

5 前記メモリセルは、前記相補ビット線のうちの一方のビット線に接続された一方のソース・ドレイン電極と前記ワード線に接続されたゲート電極とを有する第1MOSトランジスタと、前記相補ビット線のうちの他方のビット線に接続された一方のソース・ドレイン電極と前記ワード線に接続されたゲート電極とを有する第2MOSトランジスタとを含み、

10 個々のメモリセルにおいて前記第1MOSトランジスタ又は第2MOSトランジスタの何れか一方のトランジスタの他方のソース・ドレイン電極は所定の電圧が与えられる電圧信号線に接続され、

15 ビット線を共有して隣接する第1MOSトランジスタの夫々の他方のソース・ドレイン電極の間に第3トランジスタが形成され、第3トランジスタはオフ状態に制御されることを特徴とする半導体集積回路。

24. 不揮発性メモリを有する半導体集積回路であって、

20 前記不揮発性メモリは、相補ビット線と、第1ワード線と、第2ワード線と、前記相補ビット線と前記第1ワード線に接続された第1メモリセルと、前記相補ビット線と前記第2ワード線に接続された第2メモリセルと、前記相補ビット線に接続された差動アンプと、を含み、

25 前記第1メモリセルは、所定の電圧が与えられる電圧信号線と前記相補ビット線のうちの一方のビット線との間に接続されるソース・ドレイン経路と前記第1ワード線に接続されたゲート電極とを有する第1MOSトランジスタと、その一方がフローティングとされるソー

ス・ドレイン電極と前記第 1 ワード線に接続されたゲート電極とを有する第 2 MOS トランジスタとを含み、

5 前記第 2 メモリセルは、前記電圧信号線と前記相補ビット線のうちの前記一方のビット線との間に接続されるソース・ドレイン経路と前記第 2 ワード線に接続されたゲート電極とを有する第 3 MOS トランジスタと、その一方がフローティングとされるソース・ドレイン電極と前記第 2 ワード線に接続されたゲート電極とを有する第 4 MOS トランジスタとを含み、

10 前記第 1 MOS トランジスタのソース・ドレイン電極の一方と前記第 3 MOS トランジスタのソース・ドレイン電極の一方とに接続されたソース・ドレイン電極を有しオフ状態に制御される第 5 トランジスタを含み、

15 前記第 2 MOS トランジスタのソース・ドレイン電極の一方と前記第 4 MOS トランジスタのソース・ドレイン電極の一方とに接続されたソース・ドレイン電極を有しオフ状態に制御される第 6 トランジスタを含むことを特徴とする半導体集積回路。

25 25. 前記第 2 MOS トランジスタの前記ソース・ドレイン電極の他方は前記相補ビット線の他方に接続され、

20 前記第 4 MOS トランジスタの前記ソース・ドレイン電極の他方は前記相補ビット線の他方に接続される請求の範囲第 24 項記載の半導体集積回路。

26. 前記電圧信号線には、前記不揮発性メモリのアクセス動作の所定期間以外において前記第 1 及び第 3 MOS トランジスタのソース・ドレイン電極間の電位差を実質的にゼロにするための電圧が印加されることを特徴とする請求の範囲第 25 項記載の半導体集積回路。

27. 前記不揮発性メモリのアクセス動作の第 1 期間において前記第

1 MOSトランジスタのソース・ドレイン電極間の電位差及び前記第
3 MOSトランジスタのソース・ドレイン電極間の電位差を実質的に
ゼロにし、前記不揮発性メモリのアクセス動作の第2期間において前
記第1 MOSトランジスタのソース・ドレイン電極間及び前記第3 M
5 O Sトランジスタのソース・ドレイン電極間に所定の電位差を与える
回路を含むことを特徴とする請求の範囲第25項記載の半導体集積
回路。

28. 前記不揮発性メモリのアクセス動作の第1期間において前記
第1 MOSトランジスタのソース・ドレイン電極間の電位差及び前記
10 第3 MOSトランジスタのソース・ドレイン電極間の電位差を実質的
にゼロにし、前記不揮発性メモリのアクセス動作の第2期間において
前記第1 MOSトランジスタのソース・ドレイン電極間及び前記第3
M O Sトランジスタのソース・ドレイン電極間に所定の電位差を与
る回路を含むことを特徴とする請求の範囲第24項記載の半導体集
15 積回路。

29. 不揮発性メモリを有する半導体集積回路であって、

前記不揮発性メモリは、ビット線と、第1ワード線と、第2ワード
線と、前記ビット線と前記第1ワード線に接続された第1メモリセル
と、前記ビット線と前記第2ワード線に接続された第2メモリセルと、
20 前記ビット線に接続されたアンプと、を含み、

前記第1メモリセルは、所定の電圧が与えられる電圧信号線と前記
ビット線とに接続されるソース・ドレイン電極と前記第1ワード線に
接続されたゲート電極とを有する第1 MOSトランジスタを含み、

前記第2メモリセルは、その一方がフローティングとされその他方
25 が前記ビット線に接続されるソース・ドレイン電極と前記第2ワード
線に接続されたゲート電極とを有する第2 MOSトランジスタを含

み、

前記不揮発性メモリのアクセス動作の第 1 期間において前記第 1 MOS トランジスタのソース・ドレイン電極間の電位差を実質的にゼロにし、前記不揮発性メモリのアクセス動作の第 2 期間において前記第 1 MOS トランジスタのソース・ドレイン電極間に所定の電位差を与える回路を含むことを特徴とする半導体集積回路。

30. 前記第 1 MOS トランジスタのソース・ドレイン電極の一方と前記第 2 MOS トランジスタのソース・ドレイン電極の一方とに接続されたソース・ドレイン電極を有しオフ状態に制御される第 3 トランジスタを含むことを特徴とする請求の範囲第 29 項記載の半導体集積回路。

31. 不揮発性メモリを有する半導体集積回路であって、

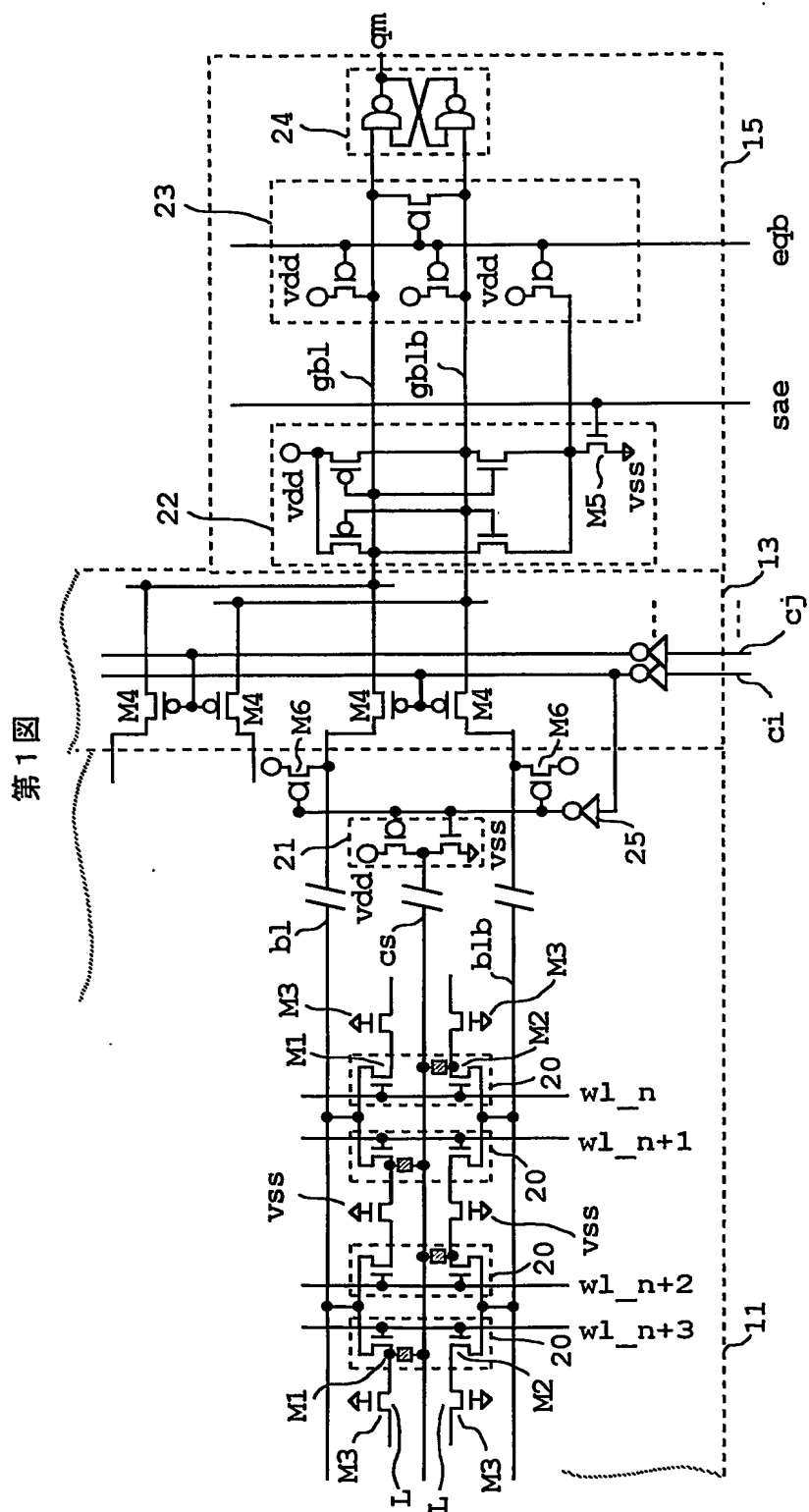
前記不揮発性メモリは、ビット線と、第 1 ワード線と、第 2 ワード線と、前記ビット線と前記第 1 ワード線に接続された第 1 メモリセルと、前記ビット線と前記第 2 ワード線に接続された第 2 メモリセルと、前記ビット線に接続されたアンプと、を含み、

前記第 1 メモリセルは、所定の電圧が与えられる電圧信号線と前記ビット線とに接続されるソース・ドレイン電極と前記第 1 ワード線に接続されたゲート電極とを有する第 1 MOS トランジスタを含み、

前記第 2 メモリセルは、その一方がフローティングとされその他方が前記ビット線に接続されるソース・ドレイン電極と前記第 2 ワード線に接続されたゲート電極とを有する第 2 MOS トランジスタを含み、

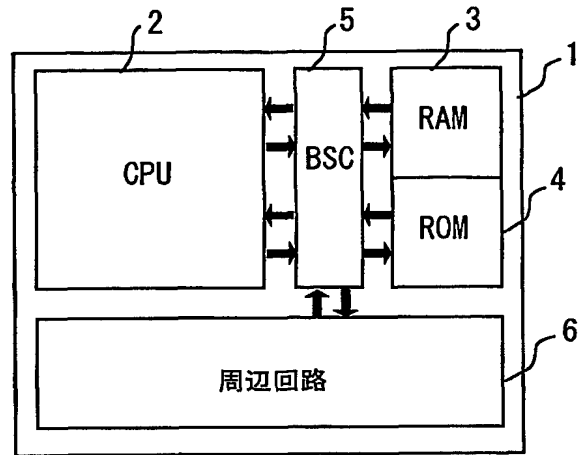
前記第 1 MOS トランジスタのソース・ドレイン電極の一方と前記第 2 MOS トランジスタのソース・ドレイン電極の一方とに接続されたソース・ドレイン電極を有しオフ状態に制御される

第 3 トランジスタを含むことを特徴とする半導体集積回路。

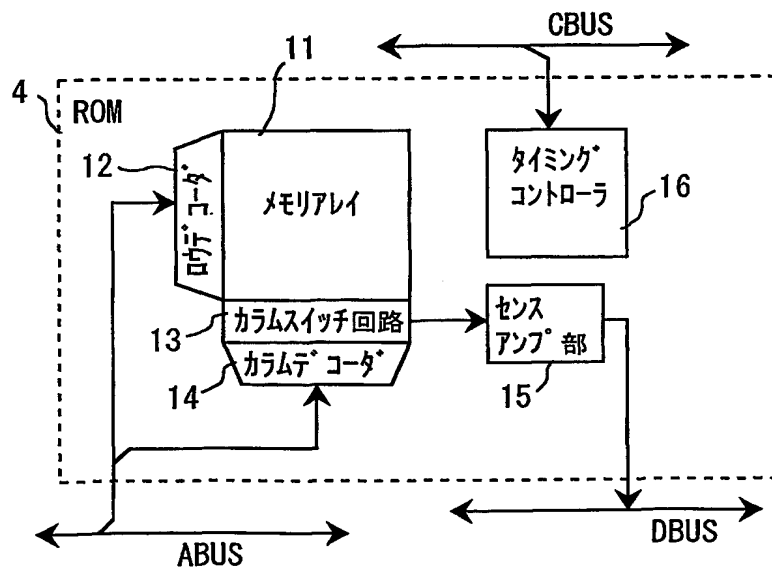


2 / 8

第2図

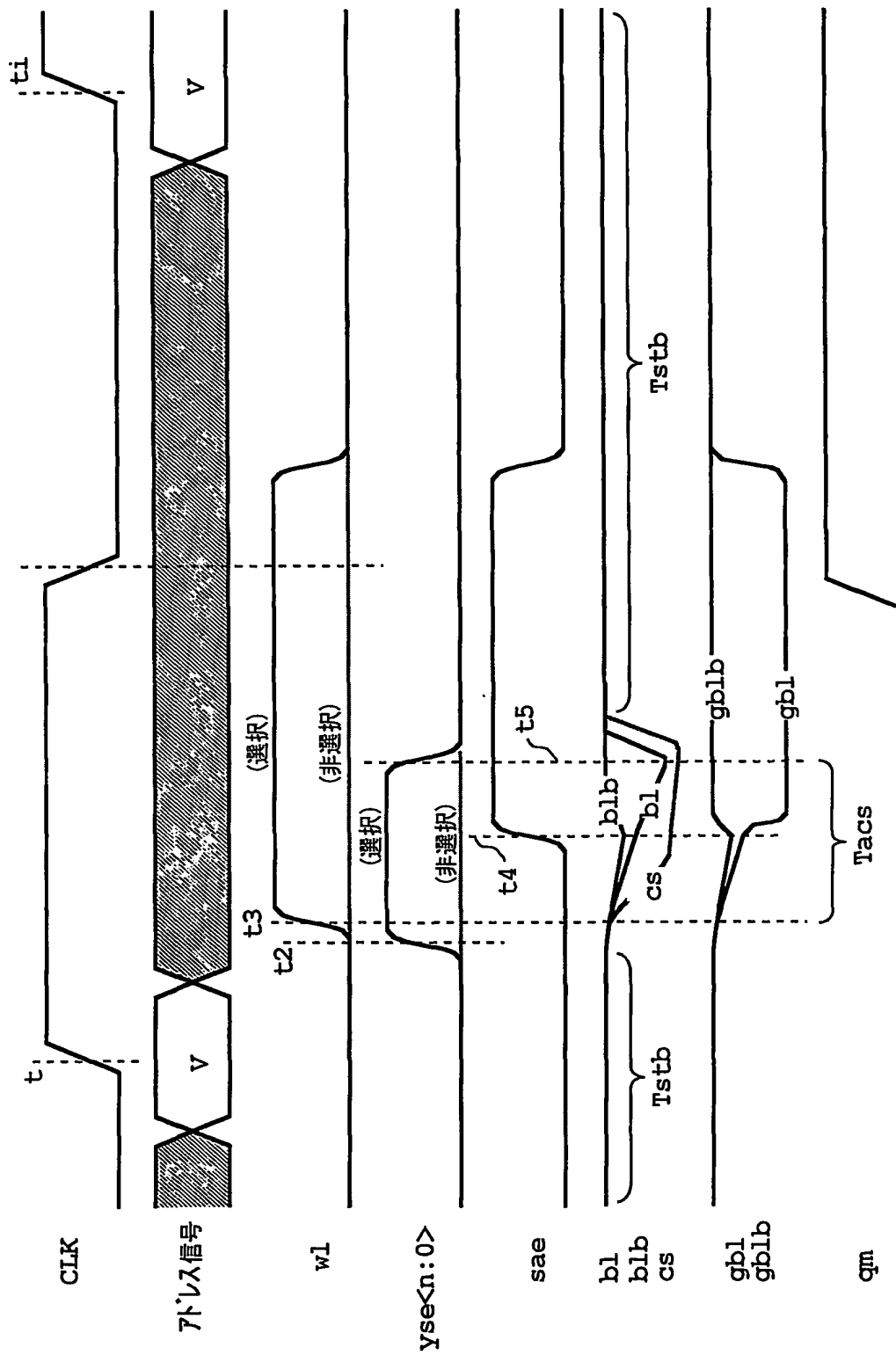


第3図



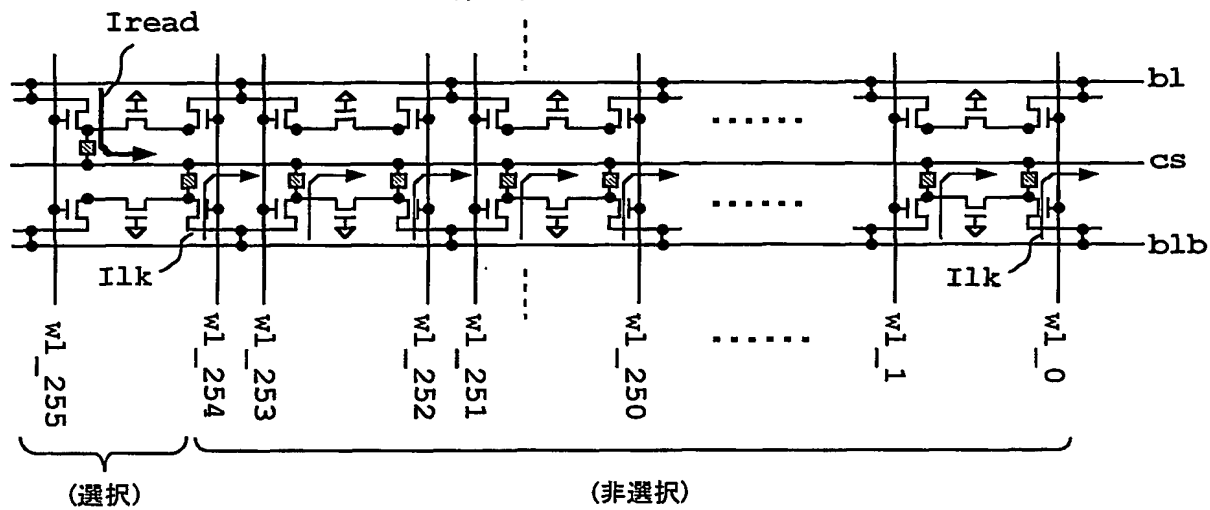
3 / 8

第 4 図

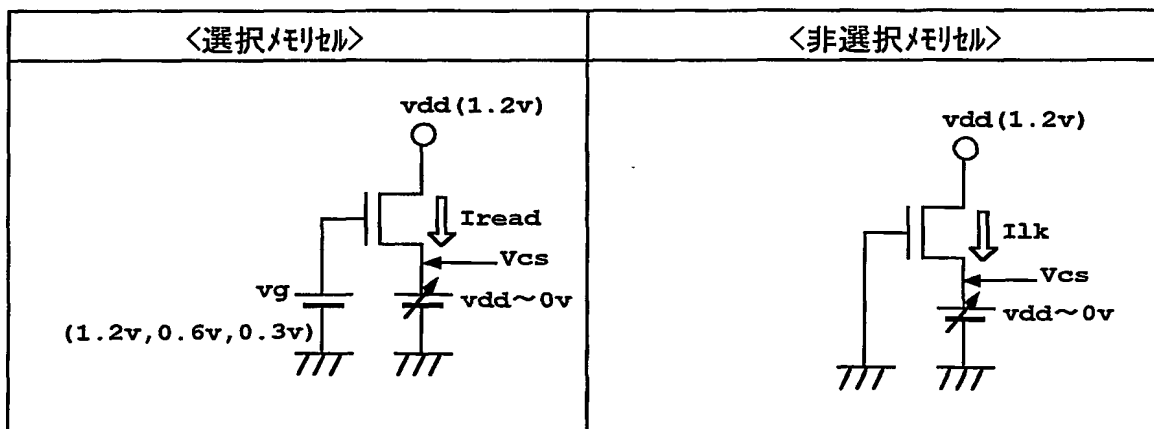


4 / 8

第5図

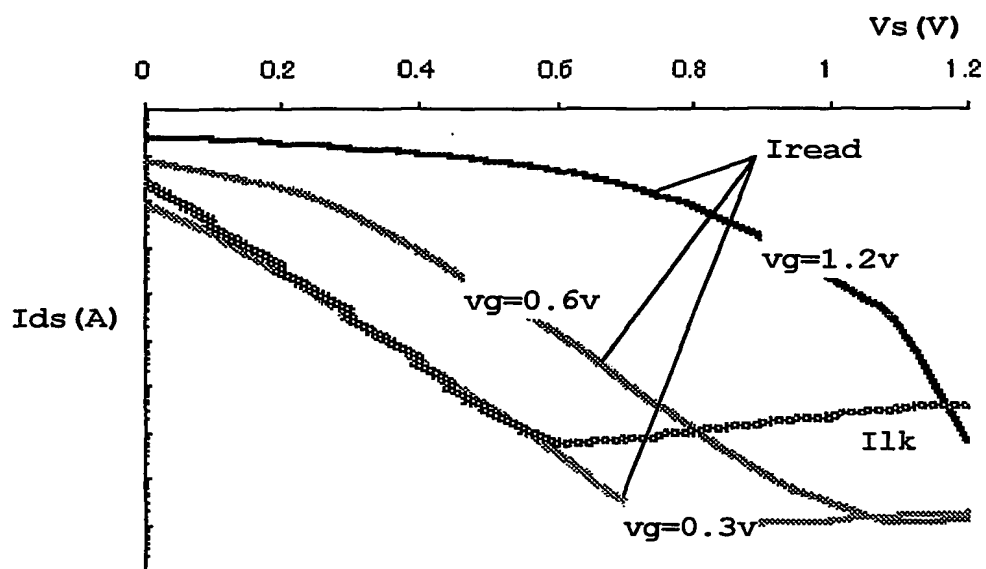


第6図

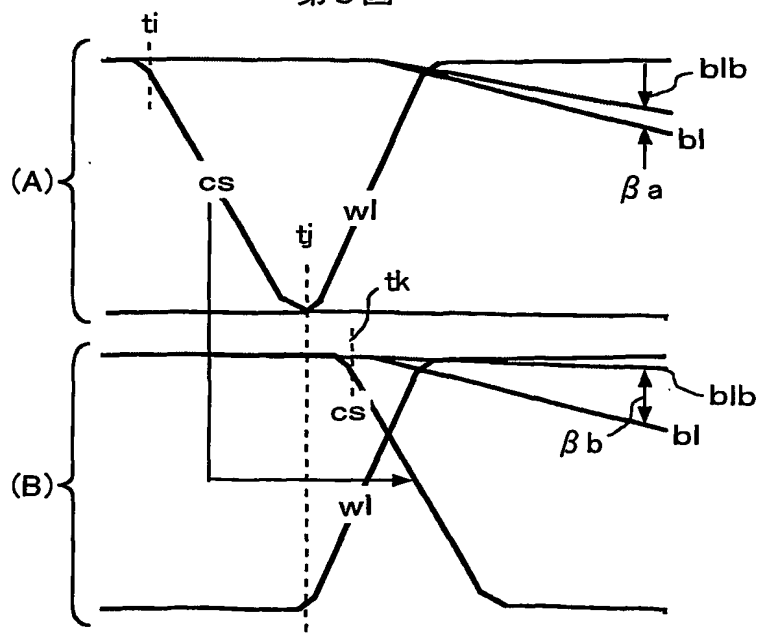


5 / 8

第7図

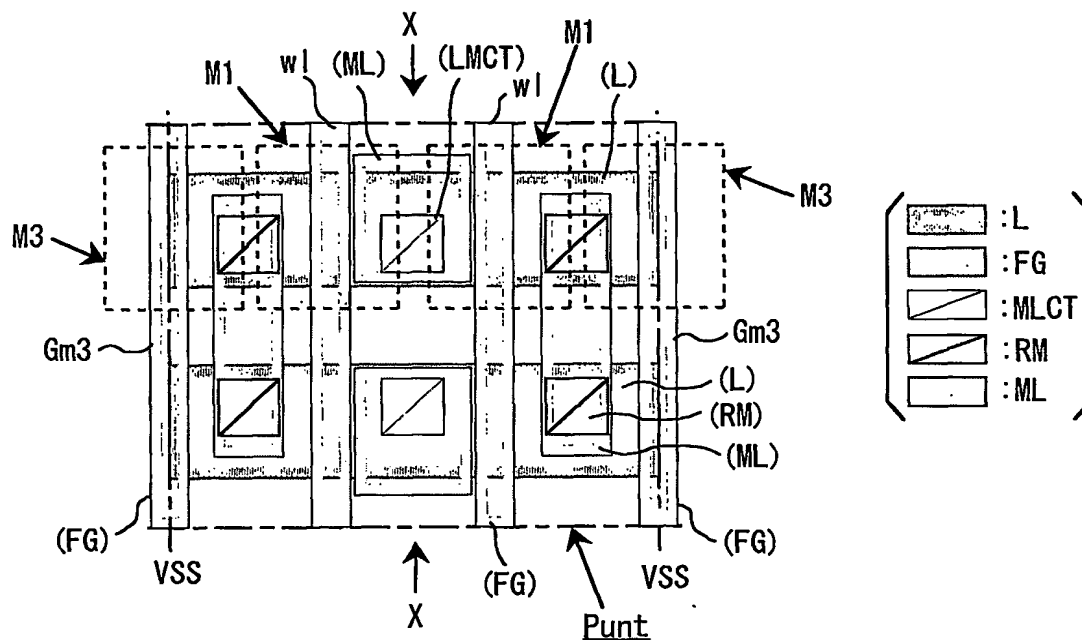


第8図

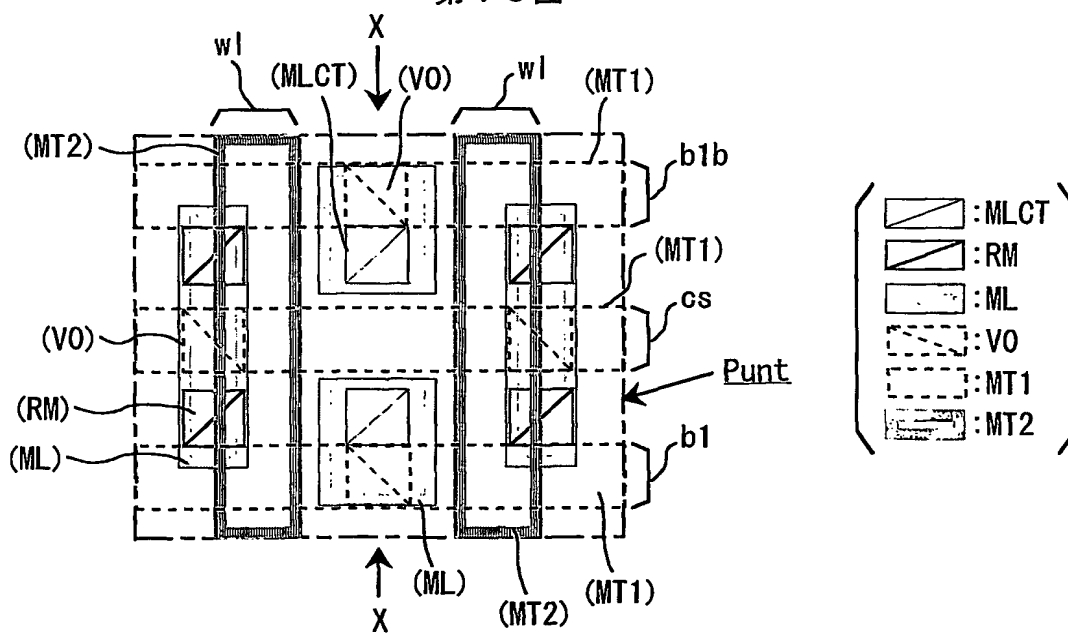


6 / 8

第 9 図

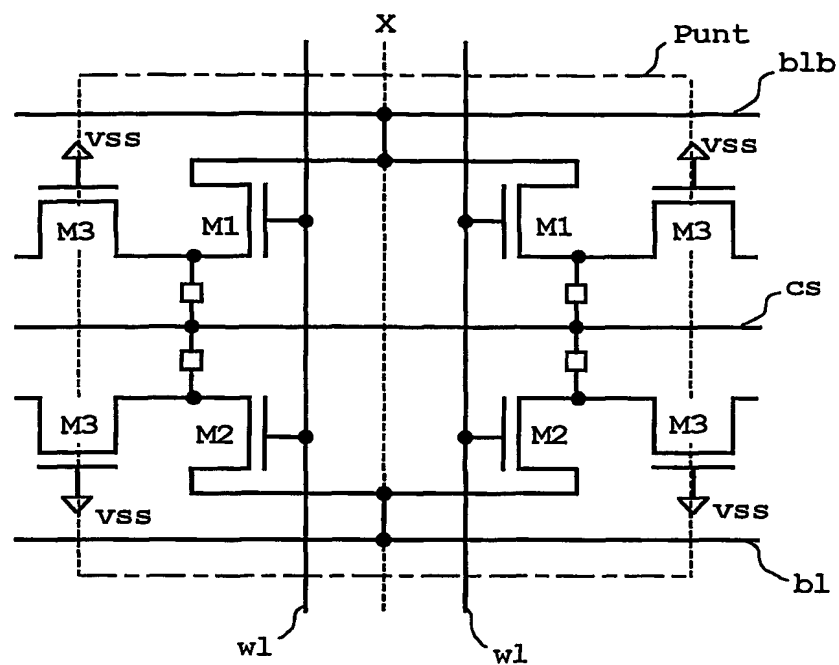


第 10 図

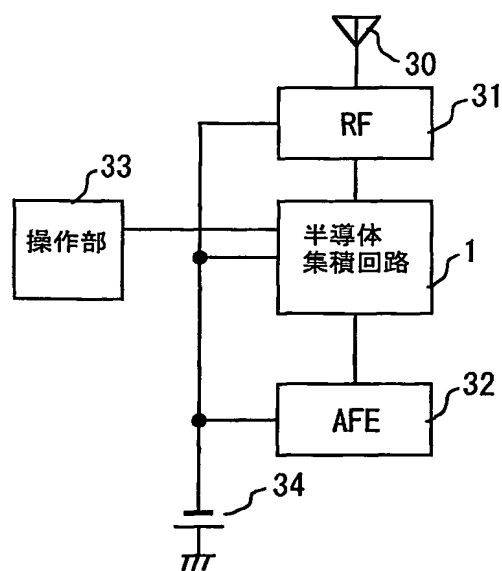


7 / 8

第 1 1 図



第 1 2 図



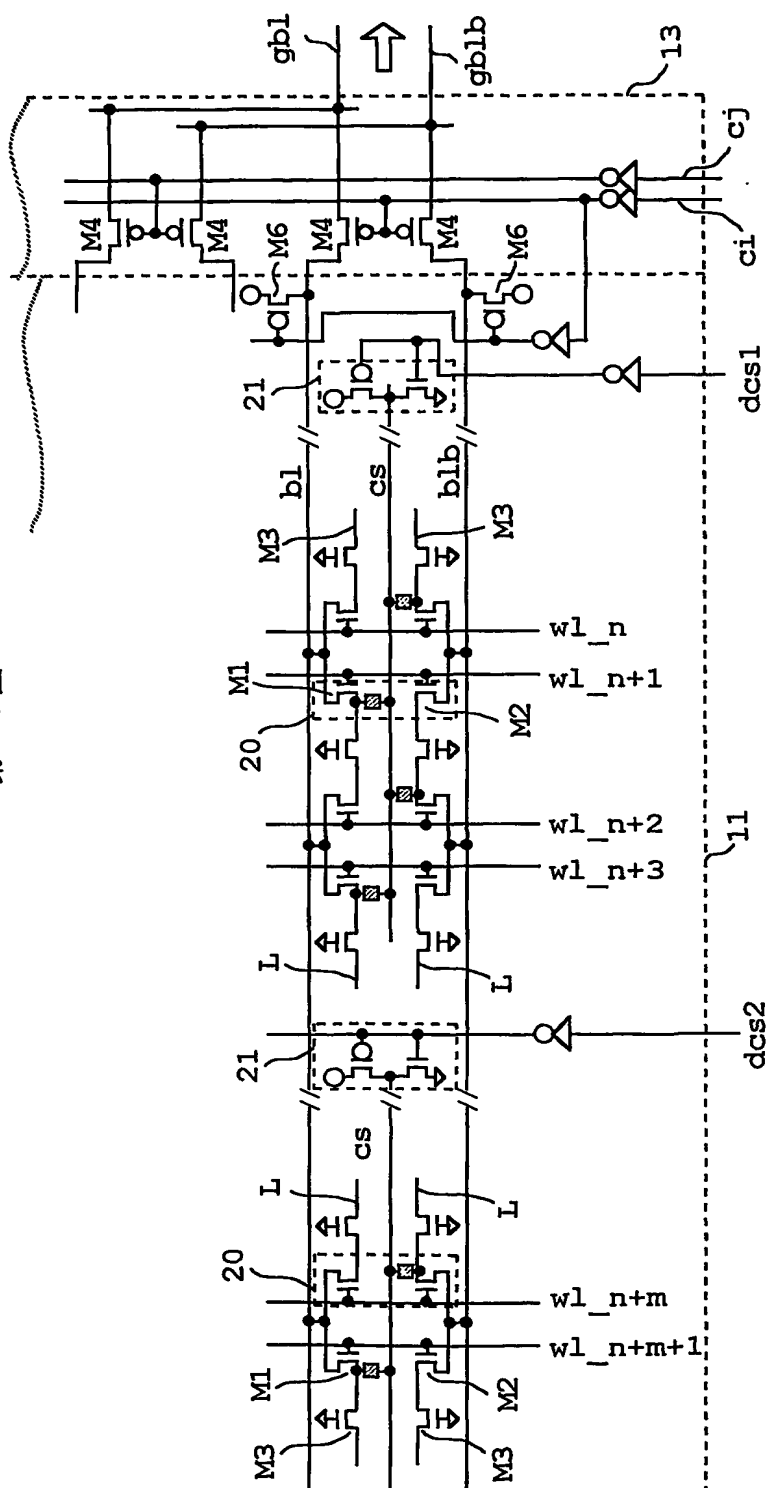


図 3-1-6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/01466

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C17/14, H01L27/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C17/00-17/18, H01L27/10-27/115

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-209304 A (Samsung Electronics Co., Ltd.), 07 August, 1998 (07.08.98), Full text; all drawings & EP 851433 A & KR 240418 B & TW 409254 B & CN 1193799 A & US 5886937 A	1-31
A	JP 9-106691 A (NEC Corp.), 22 April, 1997 (22.04.97), Full text; all drawings & KR 215350 B & US 5790450 A	1-31
A	JP 62-249478 A (Hitachi, Ltd.), 30 October, 1987 (30.10.87), Full text; all drawings & KR 9508675 B & US 4805143 A & US 4912674 A	1-31

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
02 April, 2002 (02.04.02)

Date of mailing of the international search report
16 April, 2002 (16.04.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/01466

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-190807 A (Yamaha Corp.), 30 July, 1993 (30.07.93), Full text; all drawings (Family: none)	5, 16, 17, 23, 24-28, 30, 31

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G11C17/14
Int. Cl⁷ H01L27/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G11C17/00-17/18
Int. Cl⁷ H01L27/10-27/115

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2002年
日本国実用新案登録公報 1996-2002年
日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-209304 A (三星電子株式会社) 1998.08.07, 全文, 全図 & EP 851433 A & KR 240418 B & TW 409254 B & CN 1193799 A & US 5886937 A	1-31
A	JP 9-106691 A (日本電気株式会社) 1997.04.22, 全文, 全図 & KR 215350 B & US 5790450 A	1-31

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

02.04.02

国際調査報告の発送日

16.04.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

飯田 清司

5N

8731

電話番号 03-3581-1101 内線 6842

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 62-249478 A (株式会社日立製作所) 1987. 10. 30, 全文, 全図 & KR 9508675 B & US 4805143 A & US 4912674 A	1-31
A	JP 5-190807 A (ヤマハ株式会社) 1993. 07. 30, 全文, 全図 (ファミリーなし)	5, 16, 17, 23, 24-28; 30, 31